

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-163808

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H01L 25/04
H01L 25/18

(21)Application number : 04-308501

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.11.1992

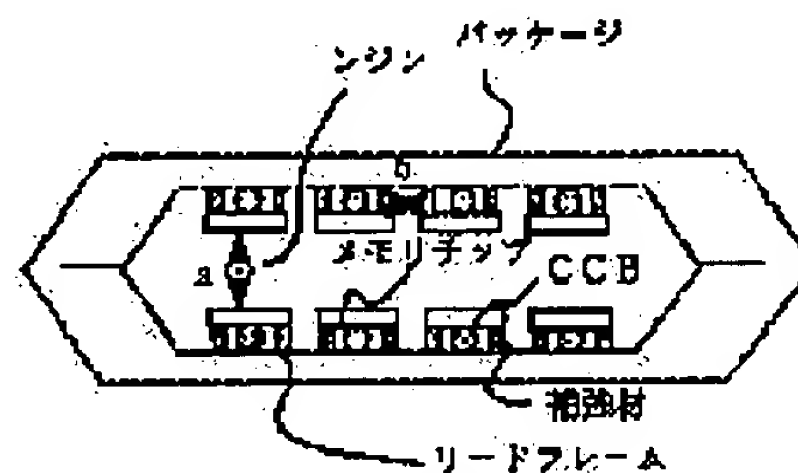
(72)Inventor : UDAGAWA SATORU

(54) SEMICONDUCTOR MEMORY AND APPLICABLE SYSTEM OF THE SAME

(57)Abstract:

PURPOSE: To abate the external noise of a memory module while making the miniaturization of the module itself as well as the cost reduction feasible by a method wherein the memory module is housed in one package so as to array the memory chips inside the memory module in two trains.

CONSTITUTION: Memory chips (b) divided in two trains are arrayed in a memory module housed in one package (a) and then lead frames (c) divided into two parts are laminated with the memory chip (b). At this time, the two lead frames (c) are connected by welding step while these memory chips (b) are fixed onto the lead frames (c) by the direct bonding using controlled collapse bonding(CCB) step, however, the connection of the memory chips (b) and the lead frames (c) by the CCB step only seems to be unstable so that both ends of the memory chips (b) may be fixed by the reinforcement members (e) comprising an insulating film, etc. Accordingly, the area of the memory module can be reduced to the level not exceeding half of any conventional memory module.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-163808

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 25/04

25/18

H01L 25/04

Z

審査請求 未請求 請求項の数5(全7頁)

(21)出願番号 特願平4-308501

(22)出願日 平成4年(1992)11月18日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 宇田川 哲

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 半導体メモリおよびその応用システム

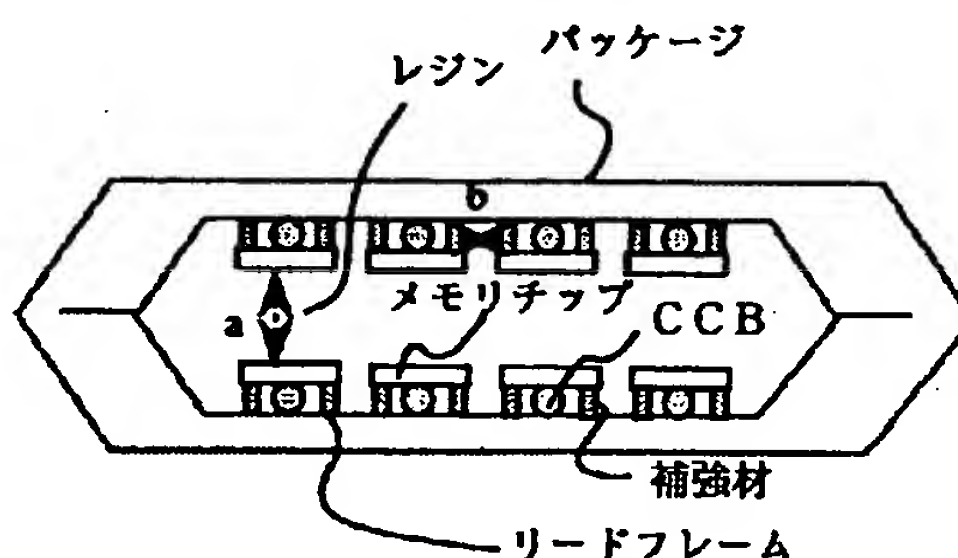
(57)【要約】

【目的】 メモリモジュールを1つのパッケージに収納し、上記メモリモジュール内のメモリチップを2列に配置することによって、メモリモジュール外部からのノイズを低減すると共に、メモリモジュール自体の小型化及びコスト低減を図る。さらに、上記メモリモジュールを使用したメモリボードおよびコンピュータシステムならびに携帯用コンピュータシステム全体の小型化ならびに誤動作防止、コスト低減。

【構成】 リードフレームを2枚に分け、所望の個数のメモリチップを左右に配置し、Controlled Collapse Bondingによってリードフレームへボンディングを行うとともに、チップ両端を補強剤によって固定する。あるいは、さらに対向して配置されるメモリチップ同志の重なり部分を上記補強剤が重なる程度にする。

【効果】 メモリモジュールおよびメモリボード、コンピュータシステム、携帯用コンピュータシステムにおいて、誤動作の低減、面積の低減、コストの低減ができる。

[図 1]



【特許請求の範囲】

【請求項1】複数のメモリチップと、複数のリードフレームと、上記メモリチップと上記のリードフレームとを接続するための手段と、上記メモリチップを固定するための手段とを有するとともに上記リードフレームに接続されたメモリチップはチップ裏面が対向しているメモリモジュールを1つのパッケージにてレジン封止することにより収納することを特徴とする半導体メモリ。

【請求項2】上記メモリチップと複数のリードフレームとを接続するための手段をControlled Collapse Bondingとすることを特徴とする特許請求の範囲第1項記載の半導体メモリ。

【請求項3】上記メモリチップを固定するための手段を絶縁フィルムとすることを特徴とする特許請求の範囲第1項記載の半導体メモリ。

【請求項4】上記複数のリードフレームはそれぞれ溶接されることを特徴とする特許請求の範囲第1項記載の半導体メモリ。

【請求項5】バスと、周辺装置制御部と、主記憶メモリおよびその制御部と、バックアップメモリとしてのSRAMおよびその制御部と、内部回路に電源を供給するための電源供給部と、プログラムが格納されたROMと、VRAMを含む表示系と、上記各メモリを制御するための信号を形成することによって上記各メモリの動作タイミング制御を行なう中央処理装置によって構成されるコンピュータシステムであって、上記周辺装置制御部は外部記憶装置および入力装置と接続されているとともに、上記表示系は出力装置と接続されることによって上記表示系内の記憶情報の表示を行ない、上記主記憶メモリは複数のメモリチップと、リードフレームと、上記メモリチップと上記のリードフレームとを接続するための手段と、上記メモリチップを固定するための手段とを有するとともに上記リードフレームに接続されたメモリチップはチップ裏面が対向しているメモリモジュールを1つのパッケージにてレジン封止することにより収納されることを特徴とするコンピュータシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体メモリに関するものであり、特に高密度実装が要求されるメモリモジュール、メモリボードおよび上記メモリボードを応用したシステムについて有効な技術である。

【0002】

【従来の技術】従来のメモリモジュールは、汎用メモリあるいは不揮発性メモリ等のメモリをパッケージに実装し、上記パッケージを配線基板に取り付けることによって、メモリボードとしてコンピュータ等のシステムに適用している。図2に従来のメモリボードの要部概略図を示す。配線基板上にパッケージに実装されたメモリが搭載され、上記メモリにおける内部回路は、上記配線基板

上の配線と接続され、さらに、上記配線基板上の配線はコネクタと接続されている。そして、このコネクタはメモリボード外のシステムと上記メモリボードとの信号の入出力を行っている。このように、従来のメモリボードにおいては、メモリ等を配線基板に搭載しているため、上記配線基板上のクロストークノイズによるメモリの誤動作が発生しやすくなる。また、パッケージに実装されたメモリが配線基板に実装されるため、実装面積が大きくなるという問題点がある。さらに、このことによって、従来のメモリモジュールを応用したコンピュータシステム等においてもサイズ的に大きなものとなってしまい、今後のメモリの大容量化に伴い、このメモリモジュールならびにメモリボードを使用したコンピュータシステムが大型化してしまう。また、このコンピュータシステムは入力データを蓄積するために大容量を必要とし、複数のメモリボードが必要となるため、システム全体のコストが向上してしまうという問題点がある。そして、特に携帯用コンピュータシステムにおいては、メモリボードとして従来のメモリモジュールを使用することによって、必要とされる記憶容量が増加した場合に大型化し、携帯用のコンピュータとしては使いにくくなる。

【0003】

【発明が解決しようとする課題】本発明は、上記問題点を解決するために、メモリモジュールを1つのパッケージに収納し、上記メモリモジュール内のメモリチップを2列に配置することによって、メモリモジュール外部からのノイズを低減すると共に、メモリモジュール自体の小型化及びコスト低減を図る。さらに、上記メモリモジュールを使用したメモリボードおよびコンピュータシステムならびに携帯用コンピュータシステム全体の小型化ならびに誤動作防止、コスト低減を目的とする。

【0004】

【課題を解決するための手段】リードフレームを2枚に分け、所望の個数のメモリチップを左右に配置し、Controlled Collapse Bondingによってリードフレームへボンディングを行うとともに、チップ両端を補強剤によって固定する。あるいは、さらに対向して配置されるメモリチップ同志の重なり部分を上記補強剤が重なる程度にする。

【0005】

【作用】1つのパッケージ内で複数のメモリチップとリードフレームが接続されるために、従来のメモリモジュールにおいて問題となる配線基板からのクロストークノイズの発生を防止できる。また、1つのパッケージ内でリードフレームを2列に分けて構成するため、実装面積が大幅に低減できる。また、さらに上記対向して配置されるメモリチップ同志の重なりを上記メモリチップ固定用の補強剤が重なる程度にすることによって熱集中を緩和できる。そして、上記メモリモジュールを使用したメモリボードおよびコンピュータシステムならびに携帯用

コンピュータシステム全体の小型化ならびの誤動作防止、コスト低減が実現できる。

【0006】

【実施例】

(実施例1) 図1に本発明のメモリモジュールを上面から見たときの要部概略図を示す。1つのパッケージに収納されたメモリモジュール内に2列に分けてメモリチップが配置される。本実施例には4Mのメモリを例として記載するが、この場合、1列に4個のメモリチップが配置され、4MByteのメモリモジュールとして構成される。そして、リードフレームを2枚に分け、これらを重ね合わせる。ここで、2枚のリードフレームの接続は溶接を用い、このメモリチップを上記リードフレーム上に固定するために、Controlled Collapse Bonding (以下CCBと記す) により直接ボンディングを行い、さらにチップとリードフレームを接続するCCBだけでは不安定なため、メモリチップにおけるチップ両端を絶縁フィルム等によって構成される補強剤によって固定する。また、図には示していないが、上記リードフレームはリードピンを兼用させ、下方からピンが出るようにする。このとき、隣あったチップ同志の間隔bはパッケージクラックを考慮して決定し、対向して配置されるメモリチップ同志の間隔aはメモリモジュール自体を厚さ方向に小さくするために、できるだけ小さく構成し、レジンにて封止する。図3に本発明のメモリモジュールを正面から見たときの要部概略図を示す。リードフレームが横方向に入出力信号の本数分形成されている。そして、本実施例はリードオンチップを例として記載しているが、上記メモリチップ中央にボンディングを行うためのCCBが構成され、リードピンの兼用として構成されたリードフレームと接続される。そして、上記リードピンはパッケージ外部のシステム内の配線基板と接続されることによってメモリモジュール外部によって入力された信号を伝達あるいは出力された信号を伝達する。

【0007】このようにして、パッケージ実装された複数のメモリを搭載した従来のメモリモジュールと比較して、本発明のメモリモジュールの面積を約1/2以下にすることができる。また、従来は、パッケージに実装されたメモリチップを配線基板上に搭載することによって1つのメモリモジュールとしていたが、本発明によれば、上記配線基板は不要となるため、メモリモジュールの単価が安くなり、回路の誤動作が防止できる。なお、本実施例では4MByteの容量として記載したが特にメモリの容量は限定されない。

【0008】(実施例2) 図4に本発明のメモリモジュールに熱集中防止対策を施した場合の要部概略図を示す。このパッケージは実施例1に示したメモリモジュールと同様にリードフレームを2枚で構成するとともに、メモリチップを2列に分けて構成する。そして、CCB

によって上記リードフレームとメモリチップのボンディングを行うとともに、補強剤によって上記メモリチップを固定し、上記メモリチップとリードフレームとを接続する。ここで、左右対称に配置された上記メモリチップの配置において上記メモリチップ同志の重なりcを上記補強剤のみが重なる程度にする。このことによって、各メモリチップの対向して配置されたチップ同志の熱の影響を受けずに、パッケージ内の熱集中の防止とメモリモジュールの高密度実装が同時に実現可能となる。

10 【0009】(実施例3) 図5に本発明のメモリモジュールを適用したメモリボードの要部概略図を示す。4MByteのメモリボードを例とすると、メモリモジュールとしての1つのパッケージ内に8個のメモリチップあるいはさらにパリティチップが搭載されている。そして、72のリードピンが1つのメモリモジュールに設けられ、必要な記憶容量分のメモリモジュールによってメモリボードが構成される。このメモリボードは直接外部のシステムと接続できるため、上記メモリチップとシステムとをインターフェースするための配線基板が不要となり、大幅なコスト低減ができる。また、このメモリボードにおいて、空気と接触する部分はリードピンのみであり、かつ上記配線基板との接続が不要となり、ノイズが防止できるため回路の誤動作をも防止できる。なお、本実施例では容量を4MByteとして記載したが、特に限定されない。

20 【0010】(実施例4) 図6に本発明のメモリモジュールを適用したコンピュータシステムの要部概略図を示す。バスと中央処理装置CPU、周辺装置制御部、主記憶メモリおよびその制御部、バックアップメモリとしてのSRAM及びバックアップパリティとその制御部、プログラムが格納されたROM、表示系等によって本コンピュータシステムは構成される。上記周辺装置制御部は外部記憶装置およびキーボードKB等と接続されている。また、表示系はVRAM等によって構成され、出力装置としてのディスプレイと接続されることによってVRAM内の記憶情報の表示を行なう。また、コンピュータシステム内部回路に電源を供給するための電源供給部が設けられている。上記中央処理装置CPUは各メモリを制御するための信号を形成することによって上記各メモリの動作タイミング制御を行なう。ここで、上記主記憶メモリは本発明のメモリモジュールによってなるメモリボードによって構成されるため、メモリ制御部とのインターフェースにおいてノイズが発生せず、プログラムの暴走等が防止できる。また、主記憶メモリとして要求される容量が近年増加する傾向にあるが、本発明のメモリボードを適用したコンピュータシステムにおいてはメモリモジュール単価が低減するため、システム全体としてのコストが低減できる。

30 【0011】(実施例5) 図7(a)に本発明のメモリモジュールを適用した携帯用コンピュータシステムの外

観の要部概略図を示す。図7(a)はICカードスロットMSLOTを備え、本発明のメモリモジュールを使用したメモリボードを内蔵したシステムであり、入出力装置をキーボードKB及びディスプレイDPとしたノートタイプパソコンである。

【0012】図7(b)に本発明のメモリモジュールを適用したときの携帯用コンピュータシステムの機能ブロック図を示す。この携帯用コンピュータは、本情報機器としての中央処理装置CPU、上記情報処理システム内に構築したI/Oバス、BUS Unit、主記憶メモリや10 拡張メモリなど高速メモリをアクセスするメモリ制御ユニットMemory Control Unit、主記憶メモリ、基本制御プログラムが格納されたROM、先端にキーボードが接続されたキーボードコントローラKBDC等によって構成される。さらに、表示アダプタとしてのDisplay adapterがI/Oバスに接続され、上記Display adapterの先端にはディスプレイが接続されている。そして、上記I/OバスにはパラレルポートParallel Port I/F、マウス等のシリアルポートSerial P 20 ort I/F、フロッピーディスクドライブFDD、上記I/OバスよりのHDD I/Fに変換するバッファコントローラHDD bufferが接続される。また、上記メモリ制御ユニットMemory Control Unitからのバスと接続されて拡張RAM及び主記憶メモリが接続されている。ここで、このパーソナルコンピュータシステムの動作について説明する。電源が投入されて、動作を開始するとまず上記中央処理装置CPUは、上記ROMを上記I/Oバスを通してアクセスし、初期診断、初期設定を行なう。そして、補助記憶装置からシステムプログラムを本発明のメモリボードに格納された主記憶メモリにロードする。また、上記中央処理装置CPUは、上記I/Oバスを通してHDDコントローラにHDDをアクセスするものとして動作する。そして、システムプログラムのロードが終了すると、ユーザの処理要求に従い、処理を進めていく。なお、ユーザは上記I/Oバス上のキーボードコントローラKBDCや表示アダプタDisplay adapterにより処理の入出力を行ないながら作業を進める。そして、必要に応じてパラレルポートParallel P 40 ort I/F、シリアルポートSerial Port I/Fに接続された入出力装置を活用する。また、主記

憶メモリでは主記憶容量が不足する場合は、拡張RAMにより主記憶を補うことができる。さらに、本発明のメモリボードを携帯用コンピュータに適用することによってシステム内でのメモリボードの占有面積を大幅に縮小することができるために、本発明のメモリボードを増加させることによって容量を増加させても従来と同じ占有面積で大容量を得ることができる。また、図にはハードディスクドライブHDDとして記載したが、フラッシュメモリを用いたフラッシュファイルに置き換えることも可能である。このように、携帯用コンピュータに本発明のメモリボードを適用することによって、大容量で小型の携帯用コンピュータシステムが実現でき、かつ従来のメモリボードでは必要となる配線基板が不要となるため、低コストかつ誤動作の低減された携帯用コンピュータシステムが実現できる。

【0013】

【発明の効果】メモリモジュールおよびメモリボード、コンピュータシステム、携帯用コンピュータシステムにおいて、誤動作の低減、面積の低減、コストの低減ができる。

【図面の簡単な説明】

【図1】本発明のパッケージ封止されたメモリモジュールを上面からみたときの要部概略図。

【図2】従来のメモリボードの要部概略図を示す。

【図3】本発明のパッケージ封止されたメモリモジュールを横面からみたときの要部概略図を示す。

【図4】本発明のパッケージ封止され、熱集中を緩和したメモリモジュールを上面からみたときの要部概略図を示す。

30 【図5】本発明のメモリモジュールをメモリボードに適用したときの要部概略図を示す。

【図6】本発明のメモリボードをコンピュータシステムに適用したときの機能ブロック図を示す。

【図7】本発明のメモリボードをパーソナルコンピュータシステムに適用したときの外觀図および機能ブロック図を示す。

【符号の説明】

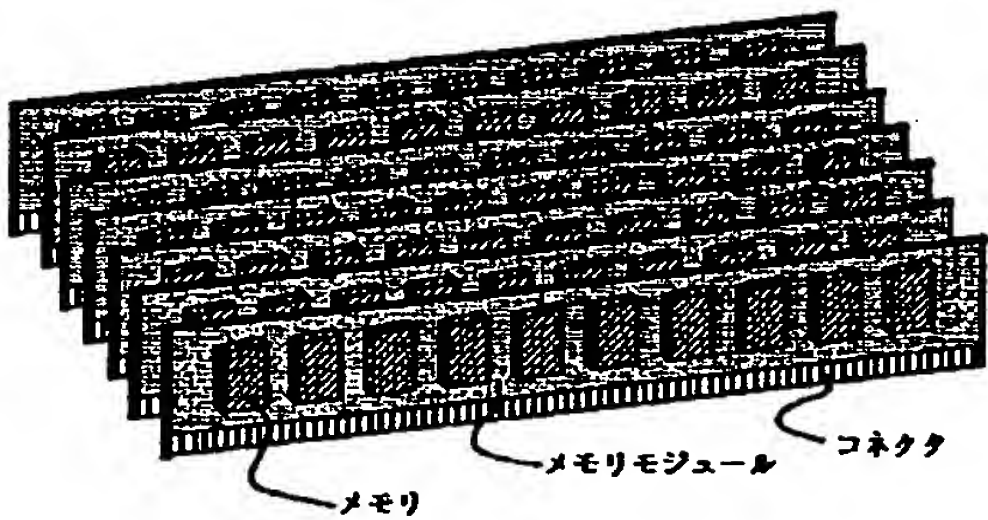
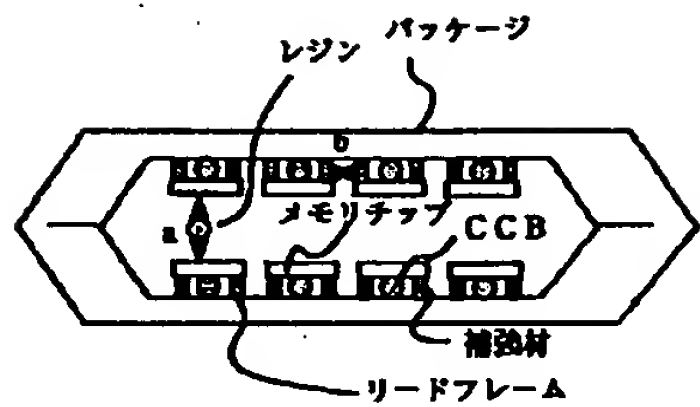
KB…キーボード、CPU…中央処理装置、KBDC…キーボードコントローラ、I/Oバス…入出力バス、HDD…ハードディスクドライブ、FDD…フロッピーディスクドライブ。

【図1】

【図2】

[図 1]

[図 2]

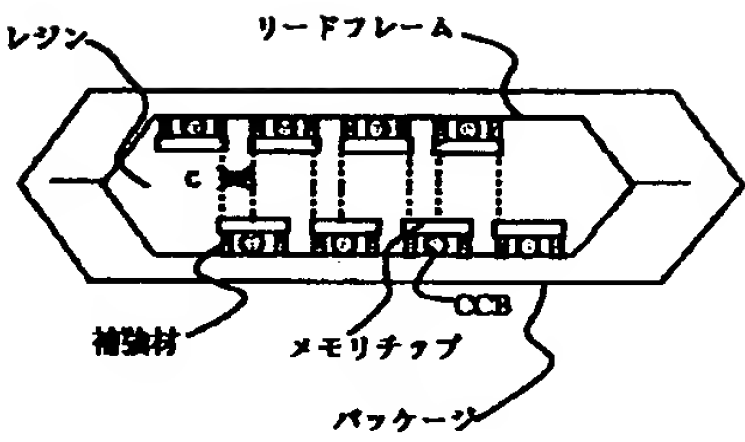
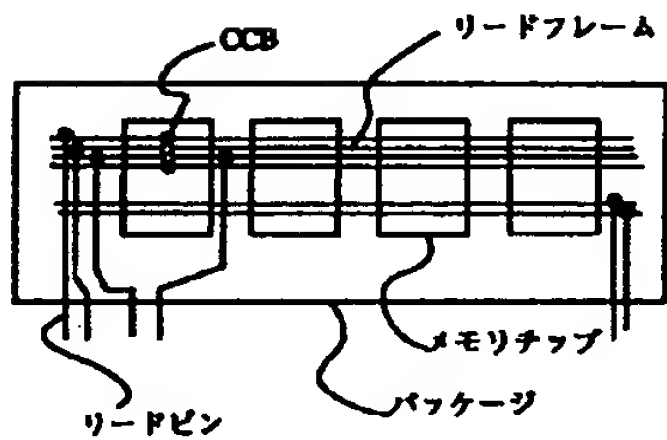


【図3】

【図4】

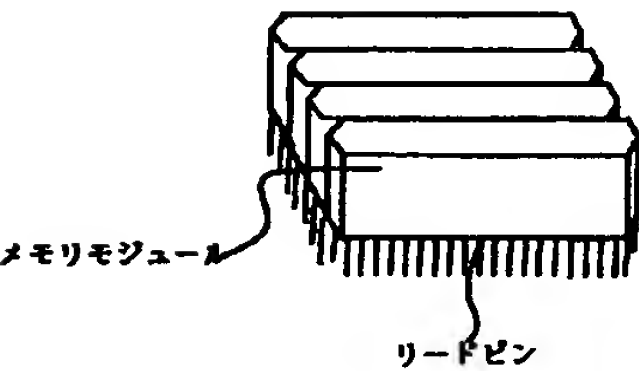
[図 3]

[図 4]

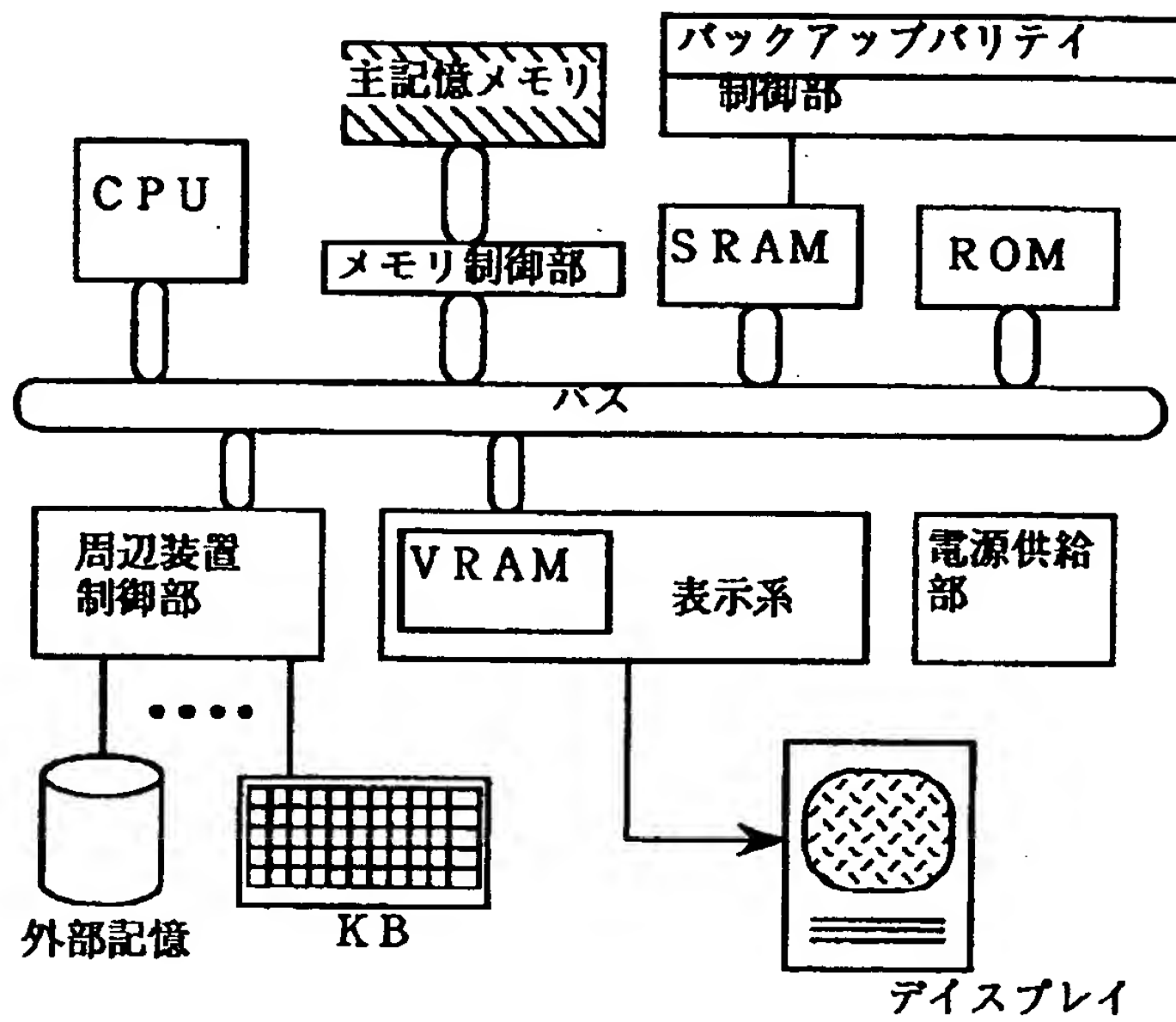


【図5】

[図 5]



【図6】



「
図
6
」

【図7】

[図 7]

